

Reference 1

Japanese Patent Public Disclosure No. 164958/1980

Date of Public Disclosure: December 23, 1980

Application No. 75397/1980

Application Date: June 4, 1980

Priority: S.N. 455476 (US)

Inventor: Richard David Liza

Applicant: Memorex Corporation

Title: Disk Cache Subsystem

Claim:

A cache subsystem for use in a direct access storage device with a data processing device, for decreasing time taken to retrieve desired data, said subsystem comprises a direct access storage device for storing and detecting data, a data storage device for storing said desired data, and a control device for communicating said direct storage device, said data storage device and said data processing device and for controlling the communication between these devices, said control device enables the time taken to retrieve said desired data from said data storage device to be less than that taken to retrieve said desired data from said direct storage device.

BEST AVAILABLE COPY

STK V. EMC
STK 08827

⑨ 日本国特許庁 (JP)

① 特許出願公開

② 公開特許公報 (A)

昭55-164958

③ Int. Cl.³

G 06 F 13/04
G 11 C 9/06
// G 11 B 5/09

識別記号

厅内整理番号
7361-5B
7056-5B
7345-5D

④ 公開 昭和55年(1980)12月23日

発明の数 1
審査請求 未請求

(全 22 頁)

⑤ ディスク・キヤツシユ・サブシステム

⑥ 特 願 昭55-75397

⑦ 出 願 昭55(1980)6月4日

優先権主張 ⑧ 1979年6月4日 ⑨ 米国(US)
⑩ 455476

⑪ 発明者 パーツラーフ・ブラティミア・
ホフマイスター
アメリカ合衆国カリフォルニア
州サラトガ・テレンス・アベニ
ュー12309

⑫ 発明者 リチャード・ディビッド・ライ

ザ

アメリカ合衆国カリフォルニア
州サラトガ・ポンネット・ウェ
イ18885

⑬ 出 願人 メモレツクス・コーポレーション

アメリカ合衆国カリフォルニア
州サンタ・クララ・サン・トマ
ス・アツト・セントラル・エク
スプレスウェイ(番地なし)

⑭ 代理 人 弁理士 山崎行造 外1名
最終頁に続く

明細書の序文(内容に変更なし)

明細書

1. 発明の名称

ディスク・キヤツシユ・サブシステム

2. 特許請求の範囲

(1) データ処理装置とともに使用し、予定データを検索するに要する時間を減少するダイレクト・アクセス記憶装置のキヤツシユ・サブシステムにおいて、データを記憶しつ供給するダイレクト・アクセス記憶装置; 例に予定データを記憶するデータ・メモリ装置; 例にダイレクト・アクセス記憶装置; 例にデータ・メモリ装置; 並びにデータ処理装置を相互に結合してこれらの間のコミュニケーションを調節する制御装置であつて、例に予定データを例にデータ・メモリ装置から検索するに要する時間が例に予定データを例にダイレクト・アクセス記憶装置から供給するに要する時間よりも短くし得る制御装置を有することを特徴とするキヤツシユ・サブシステム。

(2) 特許請求の範囲(1)記載のキヤツシユ・サ

ブシステムにおいて、前記制御装置と前記データ処理装置に接続するに供する接続装置を含むキヤツシユ・サブシステム。

(3) 特許請求の範囲(1)項、又は第(2)項記載のキヤツシユ・サブシステムにおいて、前記制御装置は前記ダイレクト・アクセス記憶装置を例にデータ処理装置に接続するダイレクト・アクセス記憶装置と、及び前記データ・メモリ装置を前記ダイレクト・アクセス記憶装置に接続するデータ・メモリ制御装置を含み、前記データ・メモリ制御装置は予定データを前記データ・メモリ装置内に記憶せらるよう設計されるキヤツシユ・サブシステム。

(4) 特許請求の範囲(3)記載のキヤツシユ・サブシステムにおいて、前記データ・メモリ装置は前記ダイレクト・アクセス記憶装置と前記データ・メモリ装置に接続されるマイクロプロセッサ構成; 予定データが前記データ記憶装置内に記憶されらるよう前記マイクロプロセッサ構成を制御するため前記マイクロ

- 1 -

- 2 -

ロードノモニタ・マイクロプログラムを含み、前にマイクロプログラムは前にデータ・メモリ領域内に記憶されている前に予定データのダイレクト・アクセス記憶装置アドレスを記憶するスクランブル・パッド・メモリ領域を含むヤンクル・システム。

(5) 特許請求の範囲第(4)項記載のヤンクル・システムにおいて、前にデータ・メモリ領域記憶と前にダイレクト・アクセス記憶装置の相互通信するインターフェイス回路装置を含むヤンクル・システム。

(6) 特許請求の範囲第(5)項記載のヤンクル・システムにおいて、前にインターフェイス回路装置は前にデータ・メモリ領域と前にデータ記憶装置、及び前にデータ・メモリ領域と前にダイレクト・アクセス記憶装置間のダイレクト・メモリ・アクセス・データを伝送するダイレクト・メモリ・アクセス装置を含むヤンクル・システム。

(7) 特許請求の範囲第(6)項記載のヤンクル・システムにおいて、前にインターフェイス回路装置は前にデータ・メモリ領域記憶と前にデータ記憶装置はランダム・アクセス半導体記憶装置を含むヤンクル・システム。

(8) 特許請求の範囲第(7)項記載のヤンクル・システムにおいて、前にデータ・メモリ領域記憶と前にデータ記憶装置は前にデータ記憶装置を有し得るヤンクル・システム。

- 4 -

- 3 -

(5) 又は第(4)項記載のヤンクル・システムにおいて、前にダイレクト・アクセス記憶装置は回転磁気ディスク記憶装置を含むヤンクル・システム。

(6) 特許請求の範囲第(8)項記載のヤンクル・システムにおいて、前に予定データのユニットが前に回転磁気ディスク記憶装置に記憶されているフル・トラックの情報を相應するようだけられるヤンクル・システム。

2.発明の詳細な説明

本発明は回転磁気コンピュータ・ディスク・メモリの分野に属する。本発明は、中央処理装置によつてしばしば呼び出された情報を、小形の高速半導体メモリによつてより迅速に供給ができる改良されたヤンクルシステム技術に関する。

システム360の導入以来、IBM中央処理装置に入力/出力装置を行つけるための標準規格が確立された。中央処理装置は「チヤキン」を出して周辺入力/出力装置と連絡している。このチヤキンのインターフェイスによつて、中央処理装置からの

- 6 -

- 5 -

と題するメモリックス公報「3673.21-02」に記載されている]である。チャカルのSCUディスク制御装置及びディスク駆動モジュールへの相互接続はノーメリックス公報「3673/75/70ディスク記憶サブシステム操作理論」(ノーメリックス公報「3673.21-02」)に記載されている。

図2のディスク駆動モジュールの取付けられているノーメリックス3673ディスク制御装置はストリング・スイッチとして公報の構成によって図2の記憶装置に取付けられることも公知である。ストリング・スイッチの構成は、インテリジェント(intelligent)インターフェイスを有するハードウェアとクロードの列である。そのインテリジェント・インターフェイスは図2の記憶装置が3673型ディスク制御装置によって制御されると再ストリングのディスク駆動装置と連絡できることとしている。

特定のデータ片の記憶の要求は特定のデータ片の機器の要求はチャカルによつて実現される。

- 9 -

指令を読みしきつディスク装置へ命令の書込み又はディスク装置から情報を検索するにはディスク制御装置(SCU)の機能ができる。実際、SCUはディスク制御装置に取付けられ、ディスク制御装置に複数の回転磁気ディスク記憶装置等を収容している。上述の図の記憶制御装置はノーメリックス(Memorex)3674記憶制御装置〔「3674記憶制御装置 Theory of Operation」〕と題するノーメリックス公報「3674.21-00」(Memorex Publication 3674.21-00)に記載されている]である。上述の図のディスク制御装置はノーメリックスディスク制御装置〔「3673/75/70ディスク記憶サブシステム操作理論(3673/75/70 Disc Storage Subsystem Theory of Operation)」〕と題するノーメリックス公報「3673.21-02」に記載されている]である。上述の図のディスク記憶装置はノーメリックス3670及び3675ディスク駆動モジュール〔「3673/75/70ディスク記憶サブシステム操作理論(3673/75/70 Disc Storage Subsystem Theory of Operation)」〕

- 7 -

ディスク・ストリングは記憶制御装置及びディスク制御装置を通して特定の情報片を呼び出すことができる。しかしながら、この操作においては、機器装置の機械的及び電子的記憶に起因して遅れが生じる。また、ディスク記憶装置の機械的記憶により、読み取り／書き込み装置ヘッドは、ディスク・スピンドル上に手の記憶された位置のトラックにアクセスできる移動カートリッジにかたくなりする。情報を要求する場合、カートリッジがデータの記憶されているトラック上に読み取り／書き込み装置トランスマジューラーをこぶきをかしながら必要となる。カートリッジがかかるアクセスを完了するまでの時間は10ミリセカンドほどか又は50ミリセカンドほどである。更に、特定のトラックをアクセスしたカートリッジが所定の場所に電子的に固定されてアーバが情報を開始すると、ディスクが正しい情報を記憶している所定の位置まで油圧する間に遅れが生じる。ディスク回転遅れ又は「待ち時間(latency)」は機器しゆるものであり又は、3600 rpmで回転す

- 9 -

るディスクに対してせいぜい約17ミリセカンドである。平均して、待ち時間は3600 rpmで回転するディスクに対して約8ミリセカンドである。待ち時間及び待ち時間は、直ちに仕事を進めるための中央処理装置の性能上の問題となる。更に、ディスク記憶装置はその性質上通常は制御装置を通して一定のデータ伝送速度でデータへ情報を伝送する。データ伝送速度はディスク記憶装置に記載されている周波のビット密度と、ディスクセレクタの出力速度との関係である。ノーメリックス3670及び3675製品については、データ伝送速度は各々上1秒あたり804000である。しかしながら、チャカルはそれ自身の機器によつて伝送速度は1秒あたり804000バイトよりはるかに大きいことがしばしば生じる。即ち、ディスク記憶装置はチャカル電子工学の最大スピードを必ずしも完全に利用していない。このことは、システムの設計者は経験開発でいることである。

ディスク記憶装置は同一の通過時間内に特定の情報片を記憶し又は検索できるダイレクトア

- 10 -

アクセスに寄託型 (CASSO) として企劃であるが、使用者には必ずしもしなれば典型的なコンピュータ装置に情報をランダムに記憶しつつ検索することとはしない。実際、ディスク記憶装置は特定のデータ群についてしだしば時間的に「密集 (clustered)」する。このことは、ディスク記憶装置の特定の情報トランクがしだしばアクセスされ又は新たに更新されて、既存バイトの他の情報を探検することとなる。従つて、「キャッシュ (caching)」の概念は、より通常呼び出される情報が呼び出され、なるかに大容量のダイレクト・アクセス記憶装置中に存在するほとんど全ての他の情報を探査する確率でその情報を高速バッファに記憶する機能を使用して来た。

カル (Calle) らに対する米国特許第 4,075,686 号及びシューネマン (Scheuneman) に対する米国特許第 4,070,706 号は共に、システムの性能を高めるために、優先順位の情報を迅速に呼び出すことできるキャッシュ・メモリを利用するシステム・コンフィギュレーションを記載している。しかしながら

-11-

ガル (Gull) らに対する米国特許第 4,075,686 号及びシューネマン (Scheuneman) に対する米国特許第 4,070,706 号は共に、システムの性能を高めるために、優先順位の情報を迅速に呼び出すことできるキャッシュ・メモリを利用するシステム・コンフィギュレーションを記載している。しかし、ガルら及びシューネマンはも追加基準一
キャッシュ・メモリを通常のディスク・ストリングに直接接続することについて詳しく比較も示していない。チャーチ (Churchill) に対する米国特許第 3,949,369 号では、高速キャッシュ・バッファを利用するデジタル・コンピューティング・システムが記載されている。チャーチは、キャッシュ・バッファ中の情報を使用の頻度に基づく情報を削除して優先順位システムが確立されるよう実験に構成されていることを示すしている。最も頻繁に使用される情報は最高の優先順位を受けるし、一方最も使用頻度の低い情報は最低の優先順位を受ける。もし、高速キャッシュ・メモリ及びその空間内に記憶する必要のある新たな情報が利用できない場合は、キャッシュ・バッファ中に存在する最も使用頻度の低い情報を削除する。リースト・リーセントリ・ユーズド (LRU) アルゴリズムの概念はコードらに対する米国特許第 3,757,881 号において研究されている。コードらはキャッシュの概念を高速周波バブル・ドメインの情報の「ペ

-12-

ージ」に適用する要件について詳しく述べている。「ページ (page)」とはコンピューター工業において、システム制御プログラミング・システム又はシステム制御オペレーティング・システムによって表示された一定の大きさの予め定められたブロックであると理解される。

一般に、システム・コントロール・プログラミング・システム又はシステム・コントロール・オペレーティング・システムのコンフィギュレーションで使用される装置記憶又はバーチャル・メモリ装置の導入によって、高速記憶の概念がもたらされた。この概念は、中央処理装置 (CPU) の通常に使用される情報へのアクセスをより迅速とするための手段として、CPU による大容量ダイレクト・アクセス記憶装置へのアクセスを要求するのとは異なる。より大きなディスク・メモリと組合せて高速キャッシュ・メモリを利用する一般的に構成されるページング・システムはスミス (Smith) らに対する米国特許第 3,642,348 号に記載されている。更に、「見かけ記憶 (apparent store)」

-13-

の概念は、イーデン (Eden) に対する米国特許第 3,569,938 号によつて示されている。この特許においては、CPU の性能を高めるために、高速記憶を CPU と、なるかに大きな主記憶との間の中間バッファとして使用している。しかしながら、先に詳述した全ての文献は、ディスク・ストリングに直接接続された LRU アルゴリズムを利用して高速半導体キャッシュ・メモリを適用することについては、開示も示唆もしていない。

本発明（以後、略々「ディスク・キャッシュ」又は「ディスク・キャッシュ・サブシステム」と呼ぶ）はディスク・ドライブのストリングのディスク制御装置に設置された高速半導体メモリ装置を用いて、頻繁に要求されるデータへのアクセスを、慢性的かかる装置を使用しないで達成できるよりも迅速に行なえるようとするものである。ディスク・キャッシュは 4 つの主な機能要素から成つている：

1. ディスク制御装置に対するインターフェイス
2. キャッシュ・コントロール・マイクロプロセ

-14-

フタ

3. ロード/セキュ・マイクロプロセッサ

4. キヤンシユ・メモリ

インタフェイス(1)はディスク制御装置内のディスク・キヤンシユを操作するためのコントロールバス電子工学及びデータ・バス電子工学から成っている。かかる場合だけ、記憶装置はディスク・キヤンシユ又はディスク・ストリングのいずれかに通達することができる。更に、ある条件の下では、ディスク・キヤンシユはディスク・ストリングが直通ディスク・ドライブと通達するよう前倒することもできる。また、記憶装置を「ストリング・ビジー（string busy）」の状態かくこともできる。また、ディスク・キヤンシユがストリング・システムから効率的に分離されて、記憶装置の指令が單にディスク制御装置からディスク記憶装置へ「バス・スルー（pass through）」できるようとする。

キヤンシユ・コントロール・マイクロプロセッサ(2)は基本的には高速ビット・スタイル・マイ

クロプロセッサ、スカラシティ・パンド・メモリ及び記憶装置の組合体である。キヤンシユ・コントロール・マイクロプロセッサは、記憶装置の指令に対するディスク・キヤンシユの応答及びキヤンシユ・メモリ内のデータ・セグメントの記憶を操作するためのマイクロプログラムを使用するディスク・キヤンシユ・システムの中心構成要素である。

ロード/セキュ・マイクロプロセッサ(3)は、キヤンシユ・コントロール・マイクロプログラムセグメント記憶装置から書き込み可能領域に記メモリへ移送するよう設計されている構成要素の組合体である。

キヤンシユ・メモリ(4)は、中央処理装置によって最も頻繁に要求される情報を記憶するもので使用される高速半導体メモリである。キヤンシユ・コントロール・マイクロプロセッサなどの情報を受け渡すべきが決定するとともに、その情報がディスク記憶装置上で設定されたときにデータ・セキュール・アドレスのトラックを操作する。

-15-

ディスク・キヤンシユ・システムはマイクロプログラムの制御下にある。肝要な実施例においては、リースト・リーセントラ・ユーズド（略して、LRU）アルゴリズムをプログラムして、ディスク・キヤンシユが最も頻繁にアクセスされるデータ・セキュールを記憶したキヤンシユ・メモリから活性の古いデータ・セキュールを削除するようとする。

もしデータ・セキュールがディスク・キヤンシユ内にあり、このことがCPUにより選択されるならば、そのデータ・セキュールはディスク・キヤンシユから記憶装置へ、更にはCPUへ直接伝達される。かかるデータの伝達はディスクの活性化は假定せず、更つて、情報がデータ・セキュールによってだけ調査される過るので、「ダイレクト・メモリ・アクセス」を通してディスク・キヤンシユ・メモリから記憶装置へ伝達されることはディスク・キヤンシユ・システムの機能である。

更に、もし特定のデータ・セキュールがキヤンシユ・メモリ内にあり、そのデータ・セキュール

の一部がCPUによって要求されるならば、ディスク・キヤンシユの概念によつて、データ・セキュール内において直接最も新しい情報へスイッチできるという利益が生ずる。このデータ・セキュールの利益は、データ・セキュールが、ディスクの回転位置を保存するというよりも単なるアドレスの形式によってアクセスされるランダム・アクセス半導体メモリ内にあることにより得られる。

更つて、本発明の目的は、コンピュータ・システムの中央処理装置が今まで以上に頻繁に使用されるデータに迅速にアクセスできるようとすることである。

本発明の今一つの目的は、マイクロプロセッサの制御の下に高速半導体メモリを利用して、頻繁に使用される情報を記憶することである。

更に、今一つの目的は、アルゴリズムに従つてキヤンシユ・メモリ内の情報のに優を割りすることである。

更に、本発明の今一つの目的は、ディスク・キヤンシユとディスク・ストリングのディスク制御

-17-

-18-

-305-

位置で位置して、ディスク・キャッシュが記憶制御装置と作用し、かつディスク制御装置と連絡できるようになるとある。

詳しい実用図書

その内容：

1. 一般
2. ディスク・キャッシュ・ハードウェア
3. ディスク・キャッシュ・オペレーションナル・ハードウェア・コード
4. ディスク・キャッシュ・アプリシステム・ソフトウェア
5. 記憶管理
6. タグ・ゼロ指令
7. 可変データ速度

1. 一般

第1回(先行技術)を適用すると、公知のデータ処理システムが、メモリ・バス(4)を経由してメイン・メモリ(6)と連絡している中央処理装置(2)を有するものとして表示されていることが分かる。中央処理装置(2)は別に入力/出力バス又は

-19-

バス(5)、バス(6)をつてたまでも連絡(10)と連絡している。データをディスクに書きなから書き戻すは、その媒体に書き込みたいと置むときの大中央処理装置(2)は通常の指令を見る。その命令は記憶制御装置(10)によってアドレスされるとおりの型の命令に翻訳される。この場合、記憶制御装置(10)は中央処理装置(2)からの命令をディスク制御装置(12)の理解できる命令に翻訳する。記憶制御装置(10)はシステム CTL インタフェイス(13)とそつてディスク制御装置(12)と連絡している。記憶制御装置(10)からの命令に更に翻訳されかつディスク制御装置(12)によって実現されて、特定の情報がディスク駆動インターフェイス(15)を経由して、ディスク・ドライブ(14)へ書き込まれる。ディスク・ドライブ(14)から読み出される。ハードウェア・インターフェイス及びデータを含む先行技術のコンピュータ構成の定義及びコントロール・ラインの定義は上述の引用文献に記載されてゐる。

第2回を参照すると、本発明のディスク・キャ

-20-

ッシュ・システムが第1回に示される従来のシステムと類似していることが分かる。しかしながら、ディスク・キャッシュ(16)は構成要素として、キャッシュ CTL インタフェイス(78)を経由してディスク制御装置(20)と接続されている。実際上、ディスク・キャッシュ(16)はドライブ・コントローラー・ロジック(第6回の62)及びディスク駆動装置(14)の前段位臵している。ディスク・キャッシュ(16)は、典型的なディスク・システムとして開示されるゆづくりした方の型の記憶と、メイン・メモリ(6)で開示される早い方の型の記憶との間の記憶系のレベルを示している。ディスク・キャッシュ(16)はデータ・セジユールと並んでその利用される内部情報を含む。このデータ・セジユールは接続されたディスク制御装置(20)と接続されたディスク・ドライブ(14)のストリングとによって分離されている。ここで使用するデータ・セジユールは固定ブロック又はいくつかの位置上の大きなデータ単位に対する一般的な用語である。

-21-

ディスク・キャッシュ(16)は、ディスク制御装置(20)及びディスク・ドライブ(14)と連絡すると、ディスク・ドライブ(14)の回転速度に対して制限された速度で入力/出力オペレーションを行なう。しかしながら、記憶制御装置(18)とディスク・キャッシュ(16)との間の人力/出力操作は、以下の可変データ速度の車で更に十分説明する先行技術のコンフィギュレーション及び構成で可能である伝送速度よりもはるかに高い伝送速度(これは、並下した「待ち時間」に相当する)で行なわれる。

CTL インタフェイス(78)を経由してディスク・制御装置(20)とディスク・ドライブ(14)のストリングと接続されるよう設けられたディスク・キャッシュ(16)を含む第2回のシステムにおいては、操作は一般化以下の通り行なわれる。

データ读取操作について、CPU(2)はデータ・バス(8)を通して記憶制御装置(18)に対し、ディスク・ドライブ(14)上の一定のデータ・セジユールの入力/出力を要求する。記憶制御装置(18)は CPU(2)の要求をディスク・キャッシュ(16)に

-22-

-306-

よつて受容し得る一群の指令に固執する。第5圖を参照すると、もし要求されたデータ・モジュールがディスク・キャッシュ(16)内のキャッシュ・メモリ(54)中に存在するならば、それはシステム CTL インタフェイス(13)及びキャッシュ CTL インタフェイス(78)を通じて記憶制御装置へ転送される。もし、要求されたデータ・モジュールがキャッシュ・メモリ(54)内に存在しないときは、ディスク・キャッシュ(16)はキャッシュ CTL インタフェイス(78)及びバス(15)を通じてディスク制御装置(20)を通してディスク・ドライブ(14)から要求されたデータ・モジュールを抜き出してディスク・キャッシュ(16)のキャッシュ・メモリ(54)内にそれを記憶する。要求されたデータ・モジュールはディスク・キャッシュ(16)内のディスク・キャッシュ・メモリ(54)から記憶制御装置(16)へ転送される。なお、ディスク・キャッシュ操作の順序は本発明の特徴の実施形態に応じて変化し、その順序は明らかにマイクロプログラムで供給している。

-23-

もし中央処理装置(2)が記憶媒体の情報を更新したい場合(即ち、「書き込み」動作の実行)、かかる情報の記憶又は更新がディスク制御装置(20)を通してディスク・ドライブ(14)で直行行われるか又はその情報をディスク・キャッシュ(16)のディスク・キャッシュ・メモリ(54)へ直行更新し若しくな書き込みができる(ディスク・キャッシュ・システム操作の順序はマイクロプログラムで供給している。)。もしかかる情報が直接ディスク・キャッシュ・メモリ(54)に書き込まれる場合、その情報は永久記憶用のディスク・ドライブ(14)で通常通り転送される。

一定のデータ処理領域において、記憶制御装置を使用しなくともよいこと、またその記憶制御装置の情報又は操作を中央処理装置内に記憶できることも本発明の範囲内である。第4圖を参照すると、ディスク・キャッシュ(16)がキャッシュ CTL インタフェイス(78)を通じて適当なデータ制御バス(15)にそつて直接中央処理装置(36)と連絡できることも本発明の範囲内である。この実施形態に

-24-

おいては、中央処理装置(36)は適当な情報を含み入力/出力バス(15)を通してディスク・キャッシュ(16)と直接連絡することができる。ディスク・キャッシュ(16)はその他のディスク制御装置(20)及びコントロール入力/出力バス(15)を通してディスク・ドライブ(14)と連絡する。

更つて、最も一般的な実施形態においてディスク・キャッシュは一定の環境の下で使用連絡することができないような高速度で入力/出力バスシステムから情報を抜きできるようにする入力/出力バスシステム構成内に挿入された、即ちディスク制御専用かつ高速なメモリである。

2. ディスク・キャッシュ・ハードウェア

ここで開示するディスク・キャッシュ・システムは、ハードウェア及びソフトウェア技術を組合わせて上述の最もしい目的を達成する装置である。この装置の特定の実施について多くのお話がある(この場合は、ハードウェアである)が、詳細であることが分つている第2圖のディスク・キャッシュの実施形態について第3圖に示して

-25-

いる。ディスク・キャッシュ・システムの主要なハードウェア構成要素が、インタフェイス・コントロール・ロジック(48)、ディスク・キャッシュ・ディスク・キャッシュ・コントロール・マイクロプロセッサ(50)、ロード/モード・マイクロプロセッサ(52)及びキャッシュ・メモリ(54)から成つてゐることが分る。

第1の主要なハードウェア構成要素は、ディスク・キャッシュ・コントロール・マイクロプロセッサ(50)とディスク制御装置(20)との間のインターフェイス(48)である。キャッシュ CTL インタフェイスはディスク・キャッシュ・システムのデータポートメント機能を第6圖に示されるディスク制御装置に提供する機能を示す。この制御装置は、メモリクス公報 3675210-03 で一般に定義されるメモリクス 3675 ディスク制御装置のようなものである。第6圖に示されるように、ディスク制御装置(20)はディスク・キャッシュ(16)がインターフェイス(58)の付加によってディスク制御装置の CTL インタフェイス内に取付けられるよう

-26-

ルモトやヤフシユ CTL ライン (74) によってダイスク・ヤヤフシユから提供される。

ダイスク・ヤヤフシユ (16) の第 2 の主要なハードウェア構成要素は第 5 図 (より詳しくは第 7 図) のダイスク・ヤヤフシユ・コントロール・マイクロプロセッサ (50) である。所定の実験操作において、第 7 図のマイクロプロセッサ (70) として、1 秒毎に 4,000,000 の命令の評価と有する高速ビット・ライス・マイクロプロセッサを使用することが好適であると分つた。この用途の実験操作に対しては、LSI プロセッサ・チップのアドバーンスド・マイクロ・デバイス 2900 アドベリ (Advanced Micro Devices 2900) から供給した市販のマイクロプロセッサを使用することが好適であることが分つた。しかしながら、他の多くのプロセッサの設計は、ダイスク・ヤヤフシユ・タスクを扱うことでなくダイスク・ヤヤフシユ・サブシステムの操作の範囲内である。ダイスク・ヤヤフシユ・コントロール・マイクロプロセッサ (50) の基本タスクは、

-28-

-27-

(1) 第 6 図のヤヤフシユ CTL インタフェイス (70) からのコントロール及びデータ転送指令に対する応答、

(2) 第 5 図及び第 7 図 (以下で記述) のヤヤフシユ・メモリ (54) 内に記入する利用可能なデータのダイレクトリの維持、

(3) 最も優先されると思われるダイスク・ドライブ・データによるヤヤフシユ・メモリ (54) の削除及び充填 (以下で記述する)、

(4) エラー検出及びリカバリ操作、及び

(5) 情報データのロード/セータ・マイクロプロセッサ (52) への送信、

がある。

ダイスク・ヤヤフシユ・サブシステムの最も新しい実験例における第 5 のハードウェア構成要素は、第 5 図に示すロード/セータ・マイクロプロセッサ (52) である。同様ロード/セータ・マイクロプロセッサ (52) の元のド・インテル 8080A マイクロプロセッサを採用することが通常であることが判明している。同様インテル 8080A は每秒 200 万

サイクルの割で作動する完全な 8 ビットの中央並列処理装置である。

前述インテル・マイクロ・プロセッサの代りに用いることが出来、経済的に利用可能な他のマイクロプロセッサも存在する。前記ロード/セータ・マイクロプロセッサ (52) の基本的操作は、(1) フレキシブル・ダイスク・ドライブ (84) (後述する) より得られたコントロール・メモリ・インフォメーションの負荷読みと、(2) 前記ダイスク・ヤヤフシユ・サブシステムの初期モード作成を行うことである。

第 5 図に示された前記ダイスク・ヤヤフシユ・サブシステムの最後の主要なハードウェア構成要素は前記ヤヤフシユ・メモリ (54) である。前記ダイスク・ヤヤフシユの最も新しい実験例において、前記ヤヤフシユ・メモリ (54) は 2 つの半導体メモリで構成されている。半導体メモリの第 1 の回路は、第 7 図に示すアドバーンスド・マイクロ・プロセッサ (86) である。本回路の思想からは必ずしも規定されるものではないが、2 つの回路の

-29-

-30-

半導体、ヤンクル・メモリ(54)から構成されており、また同じく、本発明の装置から必ずしも規定されるものではないが、ディスク・ヤンクル(16)により記憶される情報片はフル・トラックのディスク・ドライブ・データであるが、前にディスク・ヤンクルのハードウェアをそのように記述することが便利であるということが示明している。

このようだ、第1の回路の半導体メモリ、即ち前記フル・トラック・パッファ(86)は、少なくとも1つのフル・トラックのディスク・ドライブ・データを含んでおり、他々のスタティック又はダイナミックなランダム・アクセス・メモリ・チップから構成することができる。前記フル・トラック・パッファ(86)はインテル2147又はインテル2117の集成回路から構成されるのが適切であるといふことが判明している。第2の回路のヤンクル・メモリ(54)は近接距離で構成されており、電荷移動素子(CDOS)は前記ヤンクル・メモリ(54)の近接水準用として採用され実現している。

-31-

今回の実験例においては、12ノード12ビットの電荷移動素子が、フェアチャイルド464の電荷移動素子を用いた型と強調されて来る。(各箇室は最高64,000ビットの情報を記憶することができる。)現に、前記ヤンクル・メモリ(54)は実際2つの回路のスリー・メモリ構造構成のディスク・ヤンクル・システムであり、その中で記述して記憶の第1の水準は前にディスクに記憶室(14)であり、その次のメモリの2つの階級に上位した半導体メモリである。以下に述べる通り、前記ヤンクル・メモリ(54)の動作は、各回路コンピューター・システムに亘つて要求される並行性が最も高いディスク・ドライブ・データを記憶するアルゴリズムに応じてディスク・ドライブ・データを記憶することである。(下記に詳述する。)

第7セクション7の圖を参照すれば、ディスク・ヤンクル(16)の主要なハードウェア構成要素のより詳細な定義が判る。第7セクション7の図に記を説明するため以下の定義が有益である。

インターフェイス 90：機能バスを発生させるた

-32-

て設定されるもの

ヤンクル・コントロール・マイクロプロセッサ(76)はいかなるドライブがヤンクルされるべきかを決定するため、このレジスターをモニタする。

オペレータ・パネル 104：入力スイッチとセドライプのためのヤンクル駆動スイッチを含むしている。

ドライブ・ダイレクト・メモリ・アクセス 94：記憶要求・ロジックと、ヤンクル・メモリ(54)とディスクドライブ(14)の間のデータ伝送を制御するためのアドレスとクードの計算用と記憶する典型的DMA(ダイレクト・メモリ・アクセス)ポートデータ・パッファとして用いられる2つの16ビット×80 FIFO(FIRST IN FIRST OUT)ヤンクル・コントロール・マイクロプロセッサ・メモリ

寄込み可逆制御記憶装置 100：ヤンクル・コントロール・マイクロプロセッサ(76)のコントロールメモリとして利用される4K×40ビットのインテル2147スタティックRAMメモリ
オンライン レジスター 102：コントロール・レジスターで、そのビットがオペレータ・パネル(104)からのオンライン・ストライカヘッドによつ

て設定される。
ヤンクル・コントロール・マイクロプロセッサ 76：AMD 2900ファミリのLSIプロセッサ・チップを利用した標準400万台令を处理する
ビット・ストリーム・マイクロプロセッサ
コード/セキュタマイクロプロセッサ 82：由本的
構造装置としてインテル6000Aチップ

-33-

CPU を有するマイクロプロセッサ
2 ノードヘルツで作動し、記憶制御のため、28
× 8 の EPROM を有する。

ストラップ・パッド 96 : キヤンシユ・コントロール・マイクロプロセッサ (76) を交換するための 8 K × 16 のスタティック RAM メモリ
ストラップ・パッド: ロード / モニタ・マイクロプロセッサ (82) との通信のための
フレキシブルディスク・ドライブ 84 : マイクロプログラム・ロードのために用いられるフレキシブル・ディスク・ドライブ
標準型のメモリエクスパンション 550 銀を利用可。
エラー・コレクション・コード 106 (ECC) : 一
ビット・エラー・コレクション及び二重ビット・エラー・ディテクションに用いられるエ
ラー・ディテクション・コレクション・ロジ
クタ ('ハミング・スキャム')
フル・トランク・バス 86 : インチル 2147 チップ
を使用した 4 K × 40 ビット (ECC を含む)
のスタティック RAM メモリ

-39-

時間 55-164959 (C)
電荷移送電子メモリ 88 : フィアチャイルド CCD
を用いた 1 乃至 12 メガバイトの CCD メモリ
基本データ・バス 108 : SCU 又はドライブ DMA ポー
トとフル・トランク・バス (86) の間のデータ
転送のための二方向データ・バス
基本アドレス・バス 110 : SCU DMA (92) 又はドラ
イブ DMA (94) からフル・トランク・バス (86) へ供給されるトライ・スタート・メモリ
・アドレス
C-バス 138 : フル・トランク・バス (86) と
CCD メモリ (88) の間のデータ転送のための二
方向データ・バス
C-バス 140 : キヤンシユ・コントロール・マイ
クロプロセッサ (76) に用いられる全ての外部
ポートのためのトライ・スタート・ソース・バ
ス
Y-バス 142 : キヤンシユ・コントロール・マイ
クロプロセッサ (76) に用いられる全ての外部
ポートのためのトライ・スタート・デステイネ
ーション・バス

-38-

B-バス 144 : フル・トランク・バス (86) に
よりアクセス・ECC ロジクル (106) に用いられる
トライ・スタート・データ・バス
メモリ・アドレス・バス 148 : キヤンシユ・コントロール・マイクロプロセッサ (76) によりア
ドレス・音込み可能調査記憶 (100) に用いられるメモリ・アドレス・バス
バイオライン : バイオライン・インストラクショ
ン・バスでそれにより、
バス 150 : キヤンシユ・コントロール・マイクロ
プロセッサ (76) が書き込み可能調査記憶 (100)
から、ゼロマイクロインストラクションを除
て、ストラップ・パッド (96) と交換するバイ
オライン・インストラクション・バス
キヤンシユ・バス・ライン 150 : 8 ビットの 'bus
-in' データ・バス (8 bit 'bus-in'
Data Bus) これはキヤンシユからシステム
SCU ヘデータを転送するためのシステム CTL
ライン 72 データ 'bus-in' バス・ライン
バス・ライン 152 : 8 ビットの 'bus-in' データ・

-37-

バス (8 bit 'bus-in' data bus) これは
ディスク・ドライブからキヤンシユ・メモリ
ヘデータを転送するため用いられるキヤンシ
ユ・CTL ライン 74 データ 'bus-in'
バス・アウト 156 : 8 ビット 'bus-out' 固
化データ転送及びシステム SCU (18) からディ
スク・キヤンシユ (16) への制御命令データの
ため用いられるシステム CTL ライン 72 'bus
-out'
キヤンシユ・バス・アウト 158 : 8 ビット 'bus
-out' 、即ち、ディスク・キヤンシユ (16)
がディスク・ドライブ (14) を制御する際にデ
ータと制御指令のために用いられるキヤンシ
ユ・CTL ライン 74 'bus-out'
CTL ライン 160 : インターフェイス 90 ロジク
ルにおいて発生する CTL インターフェイス 制御
ライン
キヤンシユ・コントロール・ライン 70 : 光電の
インターフェイス・コミュニケーション・バ
スを構成するため用いられるインターフェ

-38-

-310-

1ス(58)のマムテブレクターの効果を弱められたのディスク・エイス・ロジック内でヤイシシ・コントロール・マイクロプロセッサ(76)により発生せしめられる一連の制御信号

ac_{1zz}: 第7回において、bc_{1zz}として示される全ての場合は、バス又はコントロール・コミュニケーション・バースが存在していることを示しているが、ここでは明確には定義しない。

本発明を更に十分説明するため第1、第2、第7回及び第7回盤は、断る如く示すように記載される。

第7回及び第7回盤に図し、マイクロプロセッサ(76)はディスク・ヤイシシ(16)の制御機能を備えである。マイクロプロセッサ(76)は、トライステートの16ビットのデータ・バス(140)を経由して全てのエクステーナル・データを受け入れ、16ビットのトライステート・アウト・ポート・データ・バス(142)を経由して全てのエクステー

-39-

-60-

タ(76)はメモリ・アドレス・バス(146)を経由して書き込み可能制御ユニット(100)をアドレスする。スクランチ・パッド(96)は、その構成においてヤイシシ・メモリ(54)の中止現在している一連のディスク・ドライブ・トラフク・アドレスを記憶するため、主にマイクロプロセッサ(76)により使用される。スクランチ・パッド(96)に記憶されている前にトラフク・リスト・アドレスは、ヤイシシ・メモリ(54)内のデータがアクセスされるのに応じて、複数されマイクロプロセッサ(76)によりダイナミックに更新される。

マイクロプロセッサ(76)はスクランチ・パッド(96)をアクセスするためロー・バス(140)とロー・バス(142)を用いる。更に、他の構造あるディスク・ヤイシシ・コントロールデータは、ディスク・ヤイシシ・マイクロプログラム(後述する)によって規定される。スクランチ・パッド(96)内に記憶される。マイクロプロセッサ(76)はまた、自走ストリング上のどのディスク・ドライブ(14)が'ヤイシシング'を受けやすいかを決定して、オ

-61-

ナル・ポートへ書き込む。上述の二つ、ディスク・ヤイシシ・システムの基本的な機能の一つはデータ伝送と第2回のシステムに電気的ユニット(18)から、ヤイシシ・CTL・インタフェイス(78)を経由して受け入れられる制御指令に応答することである。前記ヤイシシ・コントロール・マイクロプロセッサ(50)は、インタフェイス・コントロール・ロジック(48)から機器が前記ヤイシシ・CTL・インタフェイス(78)までから受け入れシステム指令をモニタする。ヤイシシ・コントロール・マイクロプロセッサ(50)は、インタフェイス・コントロール・ロジック(48)中の累加記憶装置に適切な花名をセットすることにより命令に応答する。これらの命令は、さらに、先に既述の規定されているCTL・インタフェイス規格により要求されて、ヤイシシ・CTL・インタフェイス(76)へポートされる。

マイクロプロセッサ(76)は、書き込み可能制御ユニット(100)からバイオライン・バス(146)に沿つてマイクロ指令を受け入れる。マイクロプロセッ

-61-

ンライン・レジスター(102)の中にその情報を保管する。前に記憶制御ユニット・ダイレクト・メモリ・アクセス(92)とドライブ・ダイレクト・メモリ・アクセス(94)は前記フル・トラック・パッファ(86)と前にシステムに電気的ユニット(18)とディスク・ドライブ(14)の各々の間のデータ伝送のため用いられる。前記ダイレクト・メモリ・アクセス・ポートはロー・バス(140)とロー・バス(142)を経由して、マイクロプロセッサ(76)によりプログラムされ、モニタされる。

フル・トラック・パッファ(86)は、前記基本アドレス・バス(110)を経由してアドレスされ、その内容は、基本データ・バス(108)を経由していずれかのダイレクト・メモリ・アクセス・ポートへ向かって、又はそこから転送される。

フル・トラック・パッファ(86)とCCDメモリ(88)は共通のエラー検出及び訂正ロジック(106)を共有している。フル・トラック・パッファ(86)とCCDメモリ(88)の間のデータ伝送は、自走界においてマイクロプロセッサ(76)により制御される。2万回

-62-

内のみ 610 で相互に接続されるもこうだ表示される。且 610 は被監視装置全体でなくて、以下に説明されるようだ。ハードウェア操作モードに定つて実行する機会体である。

ディスク・チャփシユ(16)を操作するのに基本的には個のハードウェア操作モードがあり、これらは本発明を実施する場合に達した記憶装置(18)からの指令によつて決定される。すなから、(1) タグ・ゼロモード

第 9 図に示されるタグゼロモードにおいて、タグ・ゼロ指令を除くすべてのタグ指令(以下に記述される文節の表記では単にタグゼロ指令と記す)は記憶装置(18)からインタフェイス(15)を経つてディスク制御装置(20)に、またバス(15)を経つてディスク・ドライブ(14)に伝送される。タグ・ゼロ指令を除くすべての指令に対して、ディスク・チャփシユ(16)は事实上ストリーミング上に存在しない。しかしながら、タグ・ゼロ指令は記憶装置(18)からインタフェイス(15)を経つてディスク制御装置(20)に伝送されるけれども、ア

- 66 -

- 43 -

(2) 記憶装置(80)モード

ディスク・チャփシユ(16)が SCU モード(第 10 図)の時は、すべてのタグ指令は記憶装置(18)からインタフェイス(15)を経つてディスク制御装置(20)に、またインタフェイス(78)を経つてディスク・チャփシユ(16)に伝送される。このようだ、タグゼロモードは、タグゼロ指令を除くすべてのタグ指令がディスク制御装置(14)に伝送されるが、ディスク制御装置(20)がタグゼロ指令をインタフェイス(78)を経つてディスク・チャփシユ(16)へ伝送するハードウェアモードとして選択されよう。タグ・ゼロ指令はディスク・チャփシユ(16)からインタフェイス(78)を経つてディスク制御装置(20)に伝送されるとともにインタフェイス(15)を経つて記憶装置(18)に伝送されるから、タグ・ゼロモードはタグゼロ指令がディスク・チャփシユに伝送されることを除いては、タグ指令が本発明のディスク・システムにおいて使用の方法と同様に動作されるハードウェアモードとして選択されよう。

- 48 -

- 68 -

フュ・サブシステム・ソフトウェア」の組合せされるようだ。通常なタグ・ゼロ命令が記憶装置(18)によって発信されることにより、マイクロプログラムが前述のマイクロプログラム状態から変化してサブシステムのハードウェア操作モードで変化する。

4. ディスク・キヤフシ・サブシステム・ソフトウェア

この発明によるディスク・キヤフシの概念は組合せの方法で実現される。特に組した実用外でない前述のハードウェアはマイクロプロセッサ(76)によって指定される書き込み可能記憶装置(100)にディスク駆動装置(84)に送られるマイクロプログラムと連絡して作用する。この発明の好適実用内におけるマイクロプログラムにおいては、所要の組合せのソフトウェア・コンディションを示す4種の「スタート」を作成する。ここで「スタート」とは外部入力によって変化することがなければマイクロプログラムのコンディションが変化しないことを意味する。第13図において、4種

-68-

-67-

の最もしいマイクロプログラム・スタートが例示される。すなわち(1)待ちスタート(400)、(2)通常スタート(414)、(3)アクティブ・スタート(424)及び(4)バッファ・スタート(432)。

待ちスタート(400)において、ディスク・キヤフシ及びディスク・サブシステム全体は記憶装置(18)とディスク駆動装置(20)との間のシステムCTLインタフェイス(15)が停止していることによって証明されるような「停止」コンディションである。第13図に示されるように、待ちスタート(400)はCTLインタフェイス(78)の通常操作機能の状態から始まる無限プログラムループと解釈される。上に通常操作機能が低い、すなわち「no」コンディション(402)であるならば、マイクロプログラムは「走査タイムアウト」(404)に対する命令を開始する。もし、ディスク・キヤフシ・サブシステムが「停止」コンディションに止まつて走査タイムアウトが作動して「no」コンディション(406)であるならば、ディスク・キヤフシ・サブシステムは走査装置(408)のモード

-68-

に入り、ここでディスク・キヤフシの内部「ハウス・キーピング」機能が作動する。走査装置(410)が完了すると、マイクロプログラムは待ちスタート(400)に復帰し、第6図に示されるシステムCTLインタフェイス(15)上の通常操作状態を含む監視し制御する。走査装置(408)はマイクロプログラムが「安定」コンディションに入る「スタート」ではない。すなわち、走査装置(408)はプログラムが常に実施コンディションに向つて進みかつ待ちスタート(400)に復帰する作用は過ぎない。走査装置は通常のハードウェア操作モードに最低のマイクロコードの作用であり、待ちスタート(400)はハードウェア・タグ・ゼロ・モードとして理解されよう。

通常操作が待ちスタートの間に高くなつて「yes」スタート(412)になると、ディスク・キヤフシ・サブシステムは「通常」スタート(414)に入る。「通常」スタート(414)は通常操作が低いスタート。すなわち通常操作が監視時に監視されたすべてのストリングKセリフ

-69-

の場合のようにハードウェア・タグ・ゼロ・モードである。

「アクティブ」スタート (424) にて、記憶制御室 (18) がすでに特定の命令実行装置 (20) を選定しているマイクロプログラム・コンディションとして定義される。上に記述装置 (20) は、ディスク・ストリング・アブリスチムとディスク・キャッシュ (16) が操作されるならば、タグ・ゼロ「アクティブ」スタートによつてディスク・キャッシュ・マイクロプログラムは「活性化」される。「アクティブ」スタート (424) において、ディスク・キャッシュは記憶制御室 (18) および記憶区内でのデータ処理操作につて発生するすべての命令を直上スジ入に受信する。これは「キャッシュ」スタートと称してもよく、王キャッシュ操作スタートとして呼べられよう。ハードウェアにおいては、前述されたようだ「記憶制御装置モード」である。「アクティブ」スタート (424) の間で、タグ・ゼロ「パッシブ」指令 (425) がディスク・キャッシュ・マイクロプログラム (426) によつて受信されない時な

- 52 -

- 51 -

ディスク・キャッシュはディスク・キャッシュ指令 (428) を実行する。第 13 図に示されるようなディスク・キャッシュ指令 (428) の実行は「スタート」ではなく、正しくは機能を実行するマイクロプログラムのコンディションであり、完了後、マイクロプログラムは「アクティブ」スタート (424) に復帰する。キャッシュ指令の実行はハードウェアにおいては「記憶制御装置モード」と考えられる。「アクティブ」スタート (424) の間で、タグ・ゼロ「パッシブ」指令が受信される (430) 時は、マイクロプログラムは「パッシブ」スタート (432) に入る。

「パッシブ」スタート (432) は、記憶制御室 (18) がディスク記憶装置 (14) と直接に通信能を有するマイクロプログラム・コンディションとして定義される。このコンディションは、ディスク・キャッシュがすべての命令を受信し、記憶制御装置 (18) とディスク記憶装置 (14) との間で直接に全く通信能がない「アクティブ」スタート (424) と区別されることに注意されたい。「パッシブ」ス

- 53 -

タート (432) の開始前に、記憶制御室 (18) は肯定回答のタグ・ゼロ指令を発生させてディスク・キャッシュ・マイクロプログラムを「パッシブ」スタートとし、記憶制御装置 (18) とディスク駆動装置との間を直接に通信伝達させる(タグ・ゼロ「パッシブ」指令 (430))。「パッシブ」スタート (432) において、ディスク・キャッシュ (16) はタグゼロ指令を高確率受信する(ハードウェア・タグゼロモード)。タグゼロ「アクティブ」指令が第 13 図に「yes」 (434) で示されるように受信されるならば、ディスク・キャッシュ (16) は「アクティブ」スタート (424) に復帰する。タグゼロ「アクティブ」指令 (437) が「パッシブ」スタート (436) の間で受信されるならば前述の記憶装置の状態が監視される。もし、記憶装置が「パッシブ」スタートの間で「アクティブ」アドレス yes (439) に進むならば、ディスク・キャッシュ・マイクロプログラムはタグゼロ「アクティブ」指令を受信しうる状態となる。実際タグゼロ「アクティブ」指令が受信(すなわち yes (434))される

- 54 -

- 314 -

と、ディスク・キャッシュ(16)は「アクティブ」スタート(424)で復帰する。通常復帰が「遅い」すなわち(440)に過ぎるとディスク・キャッシュは元復帰(442)を行なう。

「パック」スタート(432)は前述されたハードウェアゼロモードであるが、元復帰(442)はハードウェア制御モードである。元復帰(442)の間に、ディスク・キャッシュ(16)はディスク記憶装置のストリングを調査して、通常ディスク(14)にのみ存在しうる情報をフルトラック・パンフア(66)に元復する。元復(442)の間に、フルトラックの情報はディスク記憶装置(14)からフルトラック・パンフア(66)で転送される。フルトラック・パンフア(66)で転送されるべきトラックは最も近い要求されたものであるから、該トラックは第10回のスクランチ・パッド・メモリ(96)にある記憶装置テーブルに前記トラックの状態を反映する。さらに、このトラックテーブル・エンタリーは前にメモリ中で、ディスク装置の既、シリンドの位置及びヘッドアドレスに関するフルトラック

-35-

・パンフア(66)に入れられた・リンクに接続するよう逆順される。元復(442)の完了後で、マイクロプログラムは再びスタート(400)で復帰して、再び通常復帰の状態を反映する。「ハードウェア」においては、元復(442)が実行されるとディスク・キャッシュはディスク・ストリング・システムを制御する。元復(442)の間に、記憶装置装置(18)はディスク・ストリングと通信せずに、「ストリング不足」コンディションがストリングに取付けられた記憶装置に對して存在する。

次つて、ハードウェアとディスク・キャッシュ・システムのマイクロプログラムとは一系的に以下のように対応することが強調されるよう。

時間T₀：通常復帰「アクティブ」がディスク・キャッシュ(16)によって記憶装置(18)から受取られる。

時間T₁：ターゲット指令が記憶装置(18)から受信される。

時間T₂：キャッシュ・マイクロプログラムは

-36-

-i-

(必要に応じて)スタートを変化させる。

時間T₃：キャッシュはハードウェアが方式を変化することを要求する。

時間T₄：復帰が実行される(マイクロプログラムは新スタートであり、ハードウェアは新モードにある)。

時間T₅：処理は第13回に表示されるように必要に応じて進行する。

この発明のディスク・キャッシュ・システムを実現するため実施例は構り訂正装置との組合のプログラミングが正確度を有して操作性を高めている。マイクロプログラムは以下の組合の機能を前述されたとともに第13回に表示されてゐる。

5. 記憶装置管理

ディスク・キャッシュ・システムはキャッシュ記憶装置を複数したので一組の第10回のスクランチ・パッド(96)内にあるテーブルを使用する。本実例では、目的を達成するには

-37-

インプリメンテーションが可能であるが、最もしいディスク・キャッシュ記憶内で尋ねに記憶装置を管理することが適しているものと想られる。キャッシュ・メモリ(54)内にあるデータセグメントは任意の区画の情報装置から読み書きされるけれども、最も新しい実現例においてはCCD記憶装置(88)はフルトラックの情報とされ、この情報はメモリクス3670及び3675のディスク記憶装置の場合は15030個の情報ペイトで構成する。各データトラックはディスク記憶装置(14)から導入される。CCD記憶装置(88)及びフルトラック・パンフア(66)内に記憶されるセグメントは該データの位置に対応する必要性によつて作られたマイクロプログラマ(76)で使用されるテーブル甲に對応エンタリーを有する。

ディスク・キャッシュ・スクランチパッド(96)は3種の形式の記憶装置管理テーブル、すなわちダイナミック・テーブル、トラック・リンク・テーブル及びからの記憶装置リストを管理する。上にダイナミック・テーブルはキャッシュ記憶

-38-

表(54)の使用基準に沿つて選択的に更新される。この目的のため公知の LRU 算法を使用することが有利である。上にトラック・リスト・テーブルは CCD ピッヂ盤(88)中キヤンシユ記憶装置(54)に「ロック」される部分のためのパラメータを含む。この発明においては、トラックセキヤンシユ中に「ロック」するとは、データトラックが上にダイナミック・テーブルの複数のような基準に基づいて置換されないとを意味する(すなはち、キヤンシユ記憶装置(54)中に永久に存在する)。上記からの記憶装置のリストは CCD ピッヂ盤(88)内に利用空間のトラックを保持するテーブルである。からの記憶装置を表示するテーブルの内容は現在使用されてからず、反対にディスク駆動装置(14)からのデータで充填されるべく利用される記憶装置である。

キヤンシユ記憶装置(54)中に記憶されたすべてのデータトラックはダイナミック・テーブル内の対応エントリーを有し、各エントリーは該装置のパラメータ又は項目を有する。2個のパラメータ

- 59 -

は上記テーブルでトラックの数もおこへ用意され或も古い用意代番づいてリンク連鎖する。データトラックがキヤンシユ記憶装置(54)から要求される度ごとく、このトラックで請求する項目が上記リストの頭部にかかる(すなはち最も近しく使用される)、リストの頭部の項目は最も古く使用されたものとなる。他のパラメータはディスク記憶装置(14)代用元特定のシリンドアドレス、ヘッドアドレス及び位置アドレスへのディスクトラックに關する情報を含む。これらと一緒に作成して、アドレス・ポインタがダイナミック・テーブルの項目を公知のリンク連鎖技術によつてリンク連鎖する。

キヤンシユ記憶装置(54)が充填され、他のデータトラックをディスク記憶装置(14)からキヤンシユ記憶装置(54)に充填する必要がある場合、テーブルの頭部にある或も最も古く使用されたデータトラックは該テーブルからはずされ、ディスク記憶装置(14)から下記充填された新しいデータトラックはテーブルの頭部にかかるて或も近しく使用される。

- 60 -

たデータトラックとなる。この算法は周知のもので、最近使用トラックがキヤンシユ記憶装置中にあるが活動性のデータトラックはキヤンシユ記憶装置(54)からはずされる。

ダイナミック・テーブルはまた特定のディスク記憶装置から充填された、すなはち同じディスク記憶装置アドレスを有するデータトラックをリンク連鎖するリンク・ポインタを有する。これらのテーブルは、最近使用及び最も古く使用されたリンク・エッジ情報が更新される毎に更新される。このようにして、特定のトラックのキヤンシユ記憶装置(54)を操作する作業は、特定のトラック用の記憶装置エフェクタが特定のディスク記憶装置を特定することが常に知られているので簡略化される。かくして、最近使用トラック及び最も古く使用されたトラックのテーブルを、該テーブルが特定のディスク記憶装置によつてリンク連鎖されるならば、操作することはかなり簡略化される。最初、ただ1個のディスク記憶装置が所定の時間内に充填されているならば、キヤンシユ記憶装置(54)

- 61 -

の全内容を操作する必要があるけれども、1個以上のディスク記憶装置が充填されていなければ、素早い操作が実現される。

6. タグ・ゼロ指令

IBM 社の対応ディスク記憶装置システムの標準的な構成によれば、「タグ」命令として知られているある種の命令が用いられ、これによつて記憶装置(18)はシステム CTL のインタフェイス(13)に設けられる駆動制御面(20)に通じる。システム CTL インタフェイス、タグ命令、並はバス・ライン・ライン、バス・アクト・ライン等の完全な定義はメモリックス社の「ディスク記憶システム操作規程」3673/3675/3670 (出典番号第 3673.21-02) を参照されたい。しかし、記憶装置の標準的な構成の中で、ディスク・キヤンシユ(16)を含むディスク記憶システムを作成し操作することはできない。ディスク・キヤンシユの操作の概念を用意するためには、前述のタグ命令を発生したり利用したりし、その命令が制御のようだディスク・キヤンシユ(16)面端を作成し、

- 62 -

ここでヤマシング操作を行うようにしなければならない。タグ指令に複数の段階を用いることができるが、直覺的なことはディスク・ヤマシングを行はずるためタグ指令が異常にしたものではなく、かつディスク1/0アブシステムの構造内に表された意味としてコードされた他のタグ指令と区別されないようにしておくものである。好ましい実施例にこれで、カンシエ機能を用いてタグ指令としては、バス-アクトバスを有するタグ・コード00(b0x)を用いることが最もよいことが判明した。タグ・ゼロ指令を記憶制御装置(10)からディスク・ヤマシング(16)が受けると、ディスク・ヤマシングはディスク・アブシステムを開始し、上述のようにもたらす必要な操作を実行する。対応するIBM社の人力／出力アブシステムの定義によれば、タグ・コード00は未使用のCTLタグ・アウト・バス(タグ・ビット0, 3, 4, 5, 6, 7, 全て0に相当)で、これはCTLバス・アクトのラインで用いられる。

可変データ速度

-63-

以上の特徴を知るには、まず先行技術が示した結構的を理解する必要がある。第14図を参照すると、先行技術によるSYNC INとSYNC OUTが記載されている。基本的なタイミング関係はエフジ(200)、(204)間、エフジ(204)、(208)間、及びエフジ(208)、(212)間によって規定される。これらのパルス間の時間は均等で、曲線ディスク・メモリ上部テーブル・エンコードされた情報をよつて直感的に形成されるクロックサンプル・パルスによつて測定される。エフジ(200)、(201)間、エフジ(204)、(205)間、エフジ(204)、(209)間、及びエフジ(212)、(215)間の時間は第14図のディスク・ストリーミング装置(12)内のハードウェアによつて測定される。SYNC INパルス(200, 204, 208, 212)の先行エフジとSYNC OUTパルス(202, 206, 210, 214)の先行エフジ間の時間關係、及びSYNC INパルス(210, 205, 209, 213)の後続エフジとSYNC OUTパルス(205, 207, 211, 215)の後続エフジ間の時間關係は記憶制御装置(10)内のCTLケーブル・ライナーとハードウェア・ライナーによ

-64-

りて測定される。SYNC OUTパルス[(202)と(205)間の時間關係、(206)と(207)間の時間關係、(210)と(211)間の時間關係、及び(214)と(215)間の時間關係]の先行エフジと後続エフジ間の時間は、記憶制御装置(10)内のハードウェア、及びSYNC IN内のライナー経路速度によつて測定される。

可変データ速度の概念を用いると、従来のSYNC INとSYNC OUTの關係とは著しく異なる速度パルスが得られる。可変データ速度の概念を用いると、SYNC INパルスの先行エフジはSYNC OUTパルスに關して反復的な過度關係を生じない。第15図を参照すると、位置(216)、(220)間、及び位置(220)、(224)間の時間はディスク・ヤマシング(16)のハードウェアの伝送速度、及び電子制御によつて測定されるものであり、ディスク記憶装置の伝送速度によつて測定されるものではない。エフジ(216)、(220)間、及びエフジ(220)、(224)間の時間は、公知のSYNC INパルスの速度倍として示される第14図のエフジ(200)、(204)間、

-64-

-317-

エフジ (204)、(208) 間、及びエフジ (208)、(212) Mの時間よりも小であることに注意されたい。すなわち、可変データ速度の下での伝送速度は先行技術の速度よりも遅い。なぜなら、伝送速度はディスク・チャփシユ (16) の電子装置によって制御されるからであり、物理的な伝送装置によって制御されるものではないからである。

エフジ (224)、(228) 間、及びエフジ (228)、(232) 間の時間は SYNC OUT の後端エフジの電子制御によるセクタによって制御される。SYNC OUT の後端パルスのエフジ (227)、(231) が確認できればエフジ (224)、(228) 間、及びエフジ (228)、(232) 間の一時的状態が判明される。SYNC IN パルスのエフジ (228)、(232) は、SYNC OUT パルスの後端エフジ (227)、(231) が確認された後で初めてのみ見えてくる。SYNC OUT パルスの後端エフジ (227)、(231) は各先行エフジ (226)、(230) からかなり遅延して示されている。なぜなら、エフジ (227)、(231) は、内部に復調制装置のデータ・バッファが他の CTL データ伝送に使用しないと

- 67 -

きに常に復調制装置のハードウェアによって遅延されるからである。内部に復調制装置データ・バッファは、CTL データ伝送速度がテキニカル・データ伝送速度を超えると使用できなくなる。従つて、ディスク・チャփシユ・システムが複数台かける可変データ速度の時代における SYNC OUT パルスの先行エフジ (226) と後端エフジ (227) M の時間、及び SYNC OUT パルスの先行エフジ (230) と後端エフジ (231) M の時間は、テキニカル・データ伝送速度が CTL データ伝送速度と同等か、それを超える必要とする場合を含む。従つて、CTL データ伝送速度とテキニカル伝送速度の間には「同期」作用が伴する。データ伝送速度は「可変」である。従つて、エフジ (224)、(228) 間、及びエフジ (228)、(232) 間の時間は、ディスク・チャփシユ・ハードウェア、ライン・ドライバとライン・レシーバを含む CTL ケーブル、及びディスク・チャփシユ・メモリと電子制御が生じた遅延時間からなる。先行技術の装置の場合はと同様に、SYNC IN パルスの先行エフジと SYNC OUT パルスの後端エフジ間にすなわち、

- 68 -

位置 (216)、(218) 間、位置 (220)、(222) 間、位置 (224)、(226) 間、位置 (228)、(230) 間、及び位置 (232)、(234) 間] の時間は、CTL ケーブル・ディレーラー、及びビデオ装置のハードウェア・ディレーラー、すなわちライン・ドライバ、ライン・レシーバ、から成る。

先行技術の場合と同様に、SYNC IN と SYNC OUT の一時的状態、エフジ (217)、(219) 間の時間、エフジ (221)、(223) 間の時間、及びエフジ (233)、(235) 間の時間は同じく内部バッファやビデオ装置のライン・ドライバ／ライン・レシーバのディレーラーを用意できるか否かをモニタするためのビデオ装置のハードウェア・ディレーラー、及び CTL ケーブル・ディレーラーを含む。先行技術では見られなくて可変データ速度装置の特徴をなすものは、テキニカルのディレーラーによってエフジ (225)、(227)、及びエフジ (229)、(231) 間が付加的に遅延されて情報のバイトを伝送する（すなわち、内部ビデオ装置のデータ・バッファを使用し得るようにする）。位置 (216)、(217)、位置 (220)、(221)、

- 69 -

位置 (224)、(225)、位置 (228)、(229)、及び位置 (232)、(233) 間の時間は、良好な形態を見えかづ十分持続時間有するパルスを発生するようだけられるディスク・チャփシユ (16) M によって制御される。

従つて、ここに示した可変データ速度はこれは、公知技術ではなし遅げられない遅延でデータとディスク・チャփシユ (16) とテキニカル (8) 間で传送し得ることが可能でしよう。データ伝送速度は本質的にテキニカル (8) のデータ速度によって制御される。

4 図面の簡単な説明

第 1 図は従来のコンピューター・システムの略図であり、第 2 図はディスク・チャփシユ・システムを使用するコンピューター・システムの略図であり、第 3 図は第 1 図、第 2 図及び第 4 図の立体体を示す図であり、第 4 図はディスク・チャփシユを、ビデオ装置を用いしないコンピューター・システムに適用した場合の別の実用装置の略図であり、第 5 図はディスク・チャփシユの主要部

- 70 -

電位検出に対する SYNC IN/SYNC OUT パルスのパルス・トレイン図である。

- 2, 36 … 中央処理装置
- 10, 18 … 記憶装置装置
- 12, 20 … ディスク・制御装置
- 14 …… ディスク・ドライブ
- 16 …… ディスク・キャッシュ
- 52 …… ロード/セータ・マイクロプロセッサ
- 58, 90 … インタフェイス

特許出願代理人

弁護士 山 勝 行

ードフェニアキュ盤面の端面であり、第 6 面は、ディスク・キャッシュのディスク別部装置へのインターフェイスの端面であり、第 7 面はディスク・キャッシュ・インターフェイス・コントロール・ロジックの端面であり、第 8 面はキャッシュ・コントロール・マイクロプロセッサ、ロード/セータ・マイクロプロセッサ及びキャッシュ・メモリの端面であり、第 9 面はディスク・キャッシュの実現されたハードウェア・コンフィギュレーションであり、第 10 面はハードウェア・コントロールに関する SCU ソードの面であり、第 11 面はハードウェア・コントロールに関するコントロール・ソードの面であり、第 12 面はハードウェア・コントロールに関するバス・スルー・ソードの面であり、第 13 面はディスク・キャッシュのマイクロプログラムの焼成面であり、第 14 面は先行技術の SYNC IN / SYNC OUT パルスのパルス・トレイン図であり、及び第 15 面はディスク・キャッシュの可逆データ

-71-

-72-

回路の構成(内容に変更なし)

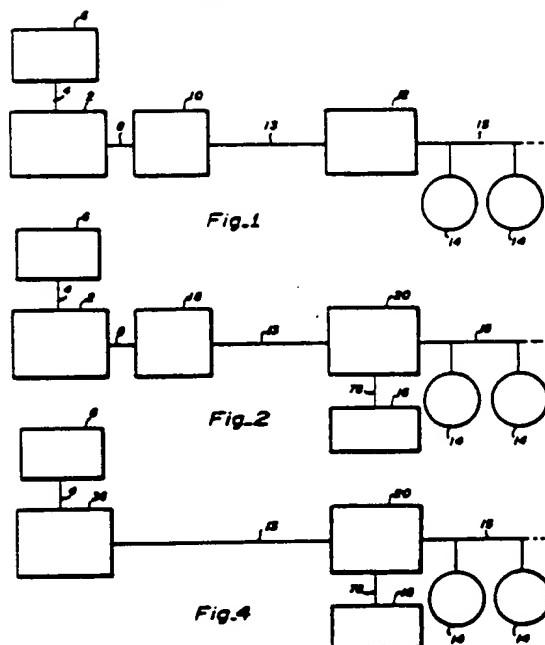


Fig.5

-319-

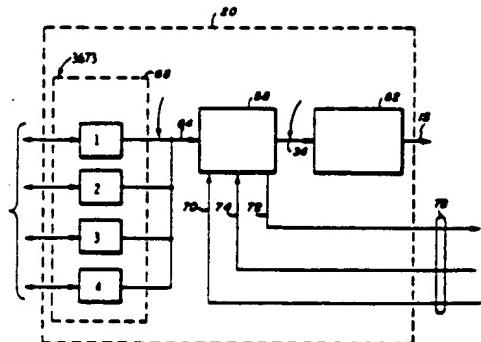


Fig.6

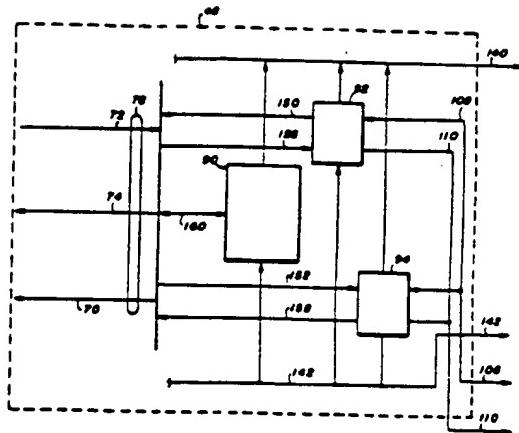


Fig. 7a

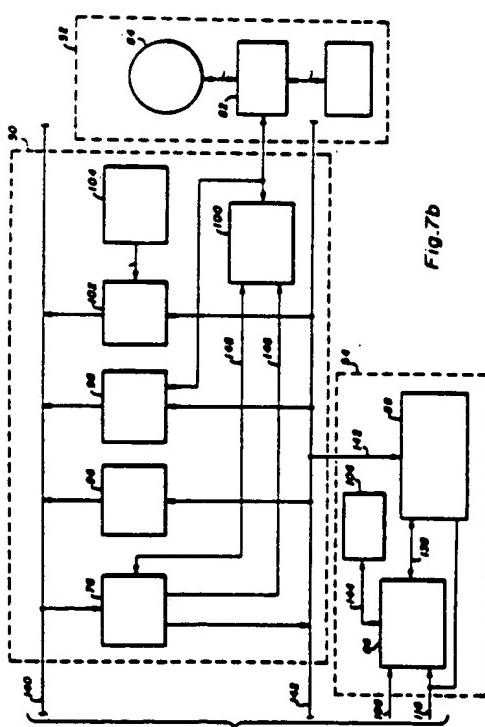


Fig. 7b

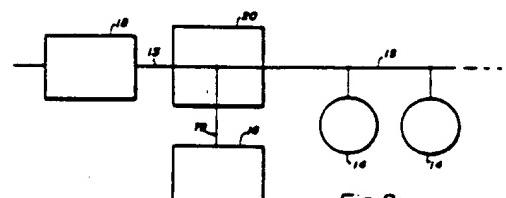


Fig. 8

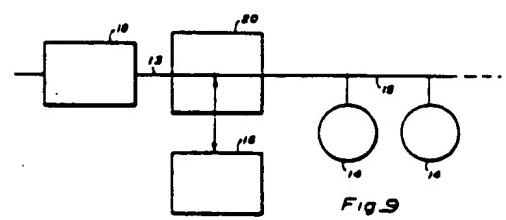
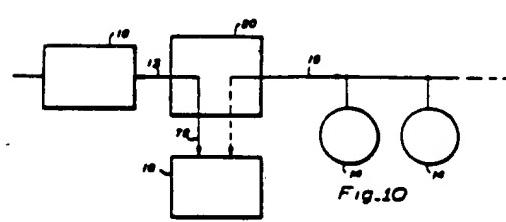


Fig. 9



548

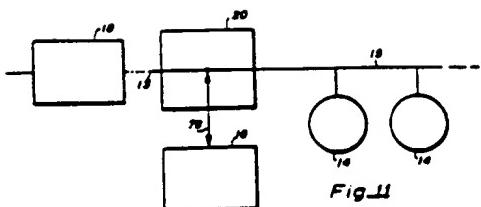


Fig. 11

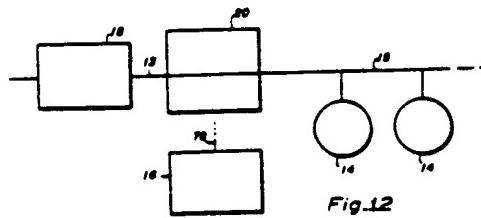


Fig. 12

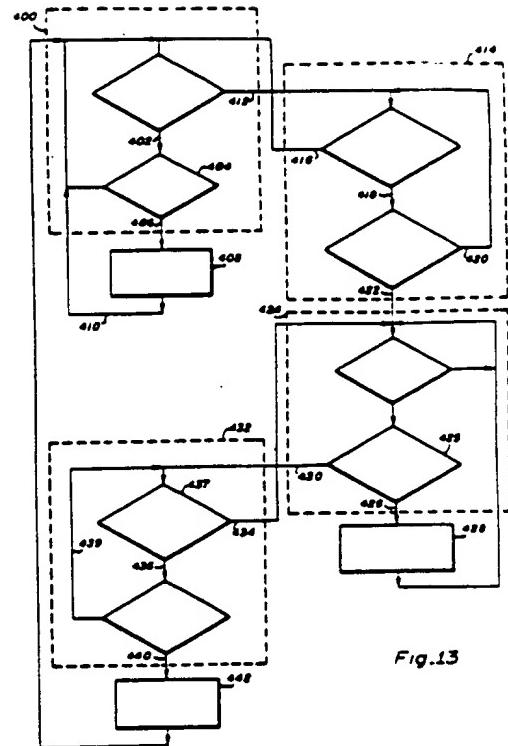


Fig. 13

第1頁の続き

②發明者 ジエシイ・インゲブライト・スタムネス

アメリカ合衆国カリフォルニア州サンニーベール・マンダリン・ドライブ1227

②發明者 リン・ウエルドン・ウイットフイールド

アメリカ合衆国カリフォルニア州サン・ホーゼ・パリ・グレン・ドライブ6150

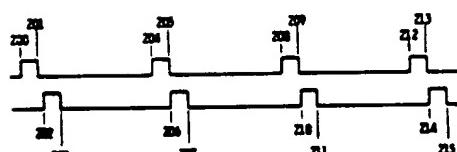


Fig. 14

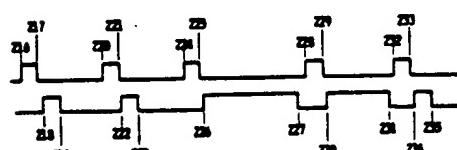


Fig. 15

手続補正書(直見)

昭和55年6月30日

特許庁長官 謹

1. 事件の表示

昭和55年特許願第 75397 号

2. 発明の名称

ディスク・キヤツシユ・サブシステム

3. 補正をする者

事件との関係 出願人
名前(氏名) メソレツクス・コーポレーション

4. 代理人

住所 東京都千代田区麹町1丁目10番9号 明治ビルディング
氏名 (7101) 特権士 山崎行造 様
固有 所
(6001) 特権士 高石博馬

5. 補正命令の日付

昭和 年 月 日



6. 補正の対象

明細書の修正
(内容に変更なし)

7. 補正の内容

別紙のとおり

特願55-164958(2)

手続補正書(直見)

昭和55年7月11日

特許庁長官 謹

1. 事件の表示

昭和55年特許願第 75397 号

2. 発明の名称

ディスク・キヤツシユ・サブシステム

3. 補正をする者

事件との関係 出願人
名前(氏名) メソレツクス・コーポレーション

4. 代理人

住所 東京都千代田区麹町1丁目10番9号 明治ビルディング
氏名 (7101) 特権士 山崎行造 様
固有 所
(6001) 特権士 高石博馬

5. 補正命令の日付

昭和 年 月 日



6. 補正の対象

明細書中の出願人の代理権の権、正天助、
登録及び商標文

7. 補正の内容

別紙のとおり

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)